

WET CLEANING METHOD FOR PZT CAPACITOR

Publication number: JP2004260177

Publication date: 2004-09-16

Inventor: HALL LINDSEY H

Applicant: TEXAS INSTRUMENTS INC

Classification:

- **International:** H01L27/105; H01L21/02; H01L21/311; H01L21/8246; H01L21/3213; H01L27/105; H01L21/02; H01L21/70; (IPC1-7): H01L27/105

- **European:** H01L21/02B3B; H01L21/311B2; H01L21/311B2B2

Application number: JP20040045580 20040223

Priority number(s): US20030374858 20030224

Also published as:

EP1450397 (A2)

US2004166678 (A1)

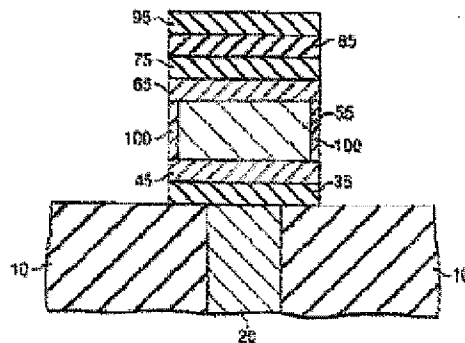
[Report a data error here](#)

Abstract of JP2004260177

PROBLEM TO BE SOLVED: To provide a cleaning method of an integrated circuit for manufacturing a non-volatile-memory integrated circuit using a PZT ferroelectric capacitor.

SOLUTION: This wet cleaning method for a PZT capacitor is a manufacturing process of the integrated circuit including a ferroelectric PZT layer 55. The wet cleaning method including a phosphoric acid is applied to damaged portions 100 of the PZT layer 55 and conductive layers 95, 85, 75, 65, 45, 35 in a circuit generated by dry etching, so that they are removed selectively, leakage current is decreased and the integrated circuit with non-volatile memory is obtained.

COPYRIGHT: (C)2004,JPO&NCIP



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-260177

(P2004-260177A)

(43) 公開日 平成16年9月16日(2004.9.16)

(51) Int. Cl.⁷

H01L 27/105

F1

H01L 27/10 444C

テーマコード (参考)

5F083

審査請求 未請求 請求項の数 1 O L (全 7 頁)

(21) 出願番号 特願2004-45590 (P2004-45590)
 (22) 出願日 平成16年2月23日 (2004.2.23)
 (31) 優先権主張番号 374858
 (32) 優先日 平成15年2月24日 (2003.2.24)
 (33) 優先権主張国 米国 (US)

(71) 出願人 501229528
 テキサス インストルメンツ インコーポ
 レイテッド
 アメリカ合衆国、テキサス、ダラス、チャ
 ーチル ウエイ 7839
 (74) 代理人 100066692
 弁理士 浅村 皓
 (74) 代理人 100072040
 弁理士 浅村 肇
 (74) 代理人 100107504
 弁理士 安藤 克則
 (74) 代理人 100102897
 弁理士 池田 幸弘

最終頁に続く

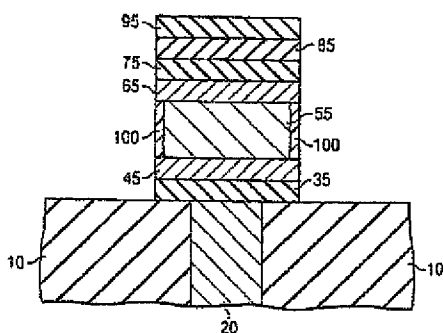
(54) 【発明の名称】 P Z Tコンデンサのための湿式洗浄法

(57) 【要約】 (修正有)

【課題】 P Z T強誘電体コンデンサを用いて非揮発性メモリ集積回路を製造するための、集積回路の洗浄方法を提供する。

【解決手段】 強誘電体 P Z T層55を含む集積回路の製造プロセスで、乾式エッチングにより発生した回路内の P Z T層55及び導電層95、85、75、65、45、35の損傷部位100を、リン酸を含有する湿式洗浄法を適用することにより、選択的に取り除き、漏れ電流を減少させて非揮発性メモリの集積回路を得る。

【選択図】 図1C



【特許請求の範囲】

【請求項1】

集積回路コンデンサの形成方法であって、
誘電体層を設定する工程、
前記誘電体層上に少なくとも1層の導電性層を形成する工程、
前記少なくとも1層の導電性層上にPZT層を形成する工程、
前記PZT層上に少なくとも1層の導電性層を形成する工程、
前記PZT層をエッチングする工程、と
前記PZT層をリン酸に暴露する工程を含む方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般的には、集積回路製造分野に関するものであり、より具体的には、コンデンサ形成後のPZTコンデンサの洗浄法に関する。

【背景技術】

【0002】

集積回路コンデンサは、メモリ回路に用いられる重要な電子部品である。メモリ回路に用いられる時、コンデンサの最も重要な機能は、電荷の保持である。荷電した集積回路コンデンサが電荷を失う時には、電荷は置換されるか、リフレッシュされなければならない。電荷を急速に失うコンデンサは、頻繁なリフレッシュサイクルが必要になり、集積回路およびその操作の複雑さを増やす。これらのコンデンサからの電荷逸失を最小にするためには、コンデンサ誘電体を通して流れる漏れ電流を最小にすること、または電荷を保持する非揮発性メモリを開発することが重要である。

【発明の開示】

【発明が解決しようとする課題】

【0003】

当業界には、同一半導体チップ上に集積された相当量のメモリおよび論理機能をもつポータブル計算装置を提供するニーズがある。好ましくは、このメモリは、バッテリーが消滅する時に、メモリの中身が保持されるように、すなわち非揮発性メモリになるよう形成されるであろう。強誘電体メモリ(FeRAM)は、非揮発性メモリであり、 $\text{Sr}_2\text{Bi}_2\text{TaO}_9$ または $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ (PZT)などの強誘電体材料を底部電極と上部電極の間に配置されたコンデンサ誘電体として用いる。FeRAMであるために、読み出し及び書き込みの両操作が行われる。メモリサイズとメモリ構成が、FeRAMの読み出し及び書き込みアクセスタイムに影響を及ぼす。

【0004】

FeRAMの非揮発性は、強誘電体メモリセルの双安定特性に起因している。2種のメモリセル、シングルコンデンサメモリセル及びデュアルコンデンサメモリセルが用いられる。シングルコンデンサメモリセル(1T/1Cまたは1Cメモリセルと呼ばれる)は、シリコン面積をあまり必要としないが、ノイズとプロセス変化から免れられない。加えて、1Cセルは、蓄積メモリ状態を確認するために電圧基準を必要とする。デュアルコンデンサメモリセル(2T/2Cまたは2Cメモリセルと呼ばれる)は、より大きいシリコン面積を必要とし、かつ相補型信号を蓄積して蓄積情報のデイレンシャルサンプリングを行う。2Cメモリセルは、1Cメモリセルより安定である。

【0005】

強誘電体メモリの漏れ電流は、誘電体ランダムアクセスメモリほど重要ではないが、高い漏れ電流は長期信頼性の問題になる可能性がある。例えば、漏れ電流が十分に大きい場合、これらの強誘電体コンデンサの典型的な電荷-電圧ヒステリシス作用が観察できない。多くのメカニズムにより漏れ電流が発生し、コンデンサ内を流れる。概して、強誘電体

コンデンサにおける漏れ電流が発生する原因の一つは、トラップにアシストされたトンネル効果による。トラップは、主に欠陥および不純物が存在することにより強誘電体層に導入される。欠陥は、コンデンサ形成時に強誘電体層にしばしば導入される。トラップアシストトンネル効果では、漏れ電流の大きさは、コンデンサの強誘電体層に存在するトラップ（及び欠陥）の数に比例する。漏れ電流の大きさを最小にするためには、コンデンサの強誘電体に存在するトラップ（または欠陥）の数を減少させねばならない。そのために、コンデンサ形成時にコンデンサ強誘電体層に導入された欠陥数を減少させるための手段が存在することが重要である。

【0006】

集積回路コンデンサのため、大静電容量が必要になることは、よくあることである。集積回路の面積に制約がある場合、現在では高誘電定数の材料（即ち、高k誘電材料）が用いられ、コンデンサ誘電体層を形成している。強誘電体材料は、高kを有する利点があるばかりでなく、電界を取り除いた後でも電荷を保持できる特性を有する。PZT強誘電体材料は、プロセスに起因する損傷を受けやすく、この損傷をより決定的に取り除く有効な方法を提供する。本発明は、コンデンサ性能に影響を与えずに、プロセスに起因する欠陥を減少及び／又は取り除くPZTコンデンサ用の湿式洗浄法である。

【課題を解決するための手段】

【0007】

（本発明の概要）

本発明は、PZTコンデンサを形成する方法を含む。電子回路形成時に、半導体上に形成される誘電体層上に、導電性層が形成される。PZT層がこの導電性層上に形成され、かつ追加の導電性層がこのPZT層上に形成される。ホトレジストのパターン層を用いて、この追加の導電層をエッチングする。エッチングした導電層をハードマスクとして用い、乾式エッチング法によりPZT層と追加の導電層をエッチングする。乾式エッチング法は、エッチングしたPZT層に損傷部位を導入するであろう。この損傷部位は、リン酸を含む湿式洗浄法により取り除かれる。この湿式洗浄法は、PZT層の非損傷部位を実質的に攻撃することなく、損傷を受けた層を取り除くであろう。さらに、導電層の損傷部位も取り除くであろう。

【0008】

本発明の技術的長所は、以下の図、説明及び特許請求の範囲から、当業者には容易に明白になるであろう。

【0009】

異なる図で対応する数及び記号は、特に断らない限り対応する部品を指す。

【0010】

（本発明の詳細な説明）

図1（A）～図1（D）を参照して本発明を説明する。特殊なコンデンサ構造を含む本発明の実施形態を図で説明する。しかし、本発明は、図に示されたこの特殊なコンデンサ構造に限定されるべきではない。本発明は、チタン酸ジルコン酸鉛 $Pb(Zr, Ti)O_3$ （PZT）コンデンサ強誘電体層を含むいかなる集積回路コンデンサ構造にも適用できる。

【0011】

メタルコンタクト20が形成されている誘電体層10が、図1（A）に示されている。この誘電体層10は、トランジスタなどの能動電子素子を含む半導体上に形成される。明らかであるので、半導体及びその他の機能は図から省略されている。このメタルコンタクト20は、タングステン、アルミニウム、チタン、窒化チタンなどの材料又はその他の適切な導電性材料を含み、かつ下にある半導体内に形成された電子素子の端子の一つに接触している。コンデンサ構造は、メタルコンタクト20上に形成され、コンデンサの端子の一つがメタルコンタクト20に接触している。図1（A）に示すように、導電性層30と40は、メタルコンタクト20及び誘電体層10上に形成される。本発明の一実施形態では、一番目の導電性層30は窒化チタンアルミニウム（TiAlN）を含み、二番目の導

導電性層40はイリジウム(Ir)を含む。他の実施形態では、単層の導電性層又は複数の導電性層が、メタルコンタクト20及び誘電体層10上に形成されてもよい。導電性層の形成後、PZT強誘電体層50が、図1(A)に示すように形成される。PZT強誘電体層50を形成後、追加の導電性層60、70、80および90が、強誘電体層50上に形成される。本発明の一実施形態では、導電性層60はイリジウム(Ir)を含み、二番目の導電性層70は窒化チタンアルミニウム(TiAlN)を含み、三番目の導電性層80はオキシ窒化チタンアルミニウム(TiAlON)を含み、かつ四番目の導電性層は窒化チタンアルミニウム(TiAlN)を含む。他の実施形態では、単層の導電性層又は複数の導電性層が、PZT誘電体層50上に形成されてもよい。PZT層50上に種々の導電性層を形成した後、図1(A)に示すように、導電性層上にパターン化したホトレジスト層100が形成される。

【0012】

図1(B)に示すように、パターン化したホトレジスト層100をマスクとして用いて、導電性層70、80および90をエッチングする。導電性層70、80及び90がTiAlN、TiAlON及びTiAlNをそれぞれ含む実施形態では、エッチング処理は、層70、80および90をエッチングして、パターン化した層75、85及び95をそれぞれ形成する。このエッチング処理は、乾式プラズマエッチングを含み、かつイリジウムを含む層60で停止する。PZT強誘電体層上に異なる数の、異なる種類の導電性層を含む他の実施形態では、パターン化したホトレジスト層100をエッチングマスクとして用いて、異なる数の導電性層がエッチングされてもよい。導電性層のエッチング後、図に示すように、パターン化ホトレジスト層100が取り除かれる。

【0013】

図1(C)に示すように、エッチングした導電性層をハードマスクとして用いて、乾式プラズマエッチング法でPZT層を含むコンデンサの残留層をエッチングして、パターン化した層65、55、45及び35を形成する。エッチング処理時に、図1(C)に示すように、損傷部位100がPZT層に形成される。これらの損傷部位は、上で説明したようにPZT層を通して漏れ電流を発生させる可能性がある。示した損傷部位100に加えて、このエッチング処理は、パターン化した導電性層95、85、75、65、45及び35のエッジに損傷と粒子を残す可能性があり、これらがコンデンサ構造に漏れ電流を導入する可能性がある。エッチング処理によりパターン化した層95、85、75、65、55、45及び35を形成した後、前工程のエッチング処理後に残された損傷部位100及び全ての他の損傷及び粒子を取り除くために湿式洗浄法が用いられる。本発明の一実施形態によれば、湿式洗浄法は、図1(C)に示す構造をリン酸(H_3PO_4)含有溶液に曝すことを含む。最初の実施形態では、湿式洗浄法は、85%の濃度のリン酸を含む溶液を用いることを含むが、如何なる濃度のリン酸を含む溶液でも使用できる。リン酸溶液の温度は、30℃～65℃であり、好ましくは約40℃である。PZT層55を含む図1(C)に示した構造は、スプレー、浴、毎葉処理器械、又は全ての他の適切な手段を用いてリン酸溶液に暴露される。本発明の方法を用いることにより、リン酸湿式洗浄法は、図1(D)に示すPZT層の非損傷部位を感知できる程度に取り除くことなく、損傷部位100を取り除くであろう。加えて、このリン酸を含む湿式洗浄法は、プラズマエッチング処理後に構造に残された、導電層95、85、75、65、45と35の全ての損傷部位及び全ての粒子を取り除くであろう。このリン酸を含む湿式洗浄法は、下にある誘電体層10及びメタルコンタクト層20を感知できる程度に攻撃しないであろう。

【0014】

具体的な実施形態を参照して本発明を説明したが、この説明は限定的な意味で解釈されることを意図していない。例えば、特定のコンデンサ構造を参照して本発明を説明した。本発明は、この実施形態に限定されるものではなく、PZT層を含む全ての集積回路コンデンサに応用できる。加えて、本発明の湿式洗浄溶液は、リン酸に加えてその他の化学種を含んでもよい。この具体的実施形態の種々の変性及び組み合わせ、並びに本発明の他の実施形態は、説明を参照すれば当業者には明白であろう。それ故、添付した特許請求の範

図は、このような全ての変性又は実施形態を包含することを意図するものである。

【0015】

以上の説明に関して更に以下の項を開示する。

- (1) 集積回路コンデンサの形成方法であって、
誘電体層を設定する工程、
前記誘電体層上に少なくとも1層の導電性層を形成する工程、
前記少なくとも1層の導電性層上にPZT層を形成する工程、
前記PZT層上に少なくとも1層の導電性層を形成する工程、
前記PZT層をエッチングする工程、と
前記PZT層をリン酸に暴露する工程を含む方法。
(2) 前記PZT層をリン酸に暴露する前記工程が、85%濃度のリン酸を含む溶液に前記PZT層を暴露することを含む第1項記載の方法。
(3) 85%濃度のリン酸を含む前記溶液が、30℃～65℃である第2項記載の方法。
(4) 85%濃度のリン酸を含む前記溶液が、約40℃である第2項記載の方法。
(5) PZTコンデンサを形成するための湿式洗浄方法であって、
誘電体層を設定する工程、
前記誘電体層上に少なくとも1層の導電性層を形成する工程、
前記少なくとも1層の1番目の導電性層上にイリジウム層を形成する工程、
前記イリジウム層上にPZT層を形成する工程、
前記PZT層上にイリジウム層を形成する工程、
前記イリジウム層上に複数の導電性層を形成する工程、
前記複数の導電性層をエッチングする工程、
前記イリジウム層、前記PZT層、前記イリジウム層及び前記少なくとも1層の導電性層をエッチングする工程、と
前記PZT層を、リン酸を含む湿式洗浄法に暴露する工程を含む方法。
(6) 前記PZT層をリン酸に暴露する前記工程が、85%濃度のリン酸を含む溶液に前記PZT層を暴露することを含む第5項記載の方法。
(7) 85%濃度のリン酸を含む前記溶液が、30℃～65℃である第6項記載の方法。
(8) 85%濃度のリン酸を含む前記溶液が、約40℃である第6項記載の方法。
(9) PZT強誘電体層(55)を用いて集積回路コンデンサを形成させる。PZT強誘電体層(55)を種々の導電性層(35)、(45)、(65)、(75)、(85)と(95)の間にサンドイッチする。エッチング処理してコンデンサを形成させる時、損傷部位(100)がPZT層(55)上に形成される。PZT層をリン酸に暴露させることを含む湿式洗浄法を用いて、損傷部位(100)を取り除く。

【図面の簡単な説明】

【0016】

【図1A】本発明の実施形態を示す断面線図である。

【図1B】本発明の実施形態を示す断面線図である。

【図1C】本発明の実施形態を示す断面線図である。

【図1D】本発明の実施形態を示す断面線図である。

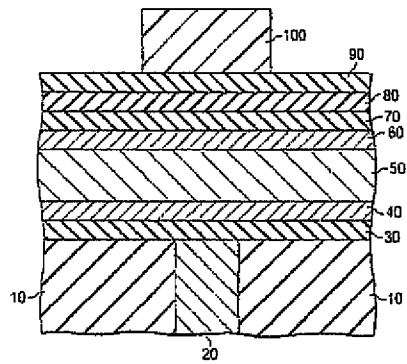
【符号の説明】

【0017】

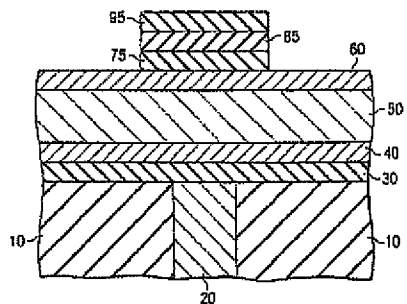
- 10 誘電体層
- 20 メタルコンタクト
- 30 導電性層
- 35 パターン化層
- 40 導電性層
- 45 パターン化層
- 50 PZT強誘電体層
- 55 パターン化層

- 60 誘電体層
- 65 パターン化層
- 70 誘電体層
- 75 パターン化層
- 80 誘電体層
- 85 パターン化層
- 90 誘電体層
- 95 パターン化層
- 100 損傷部位

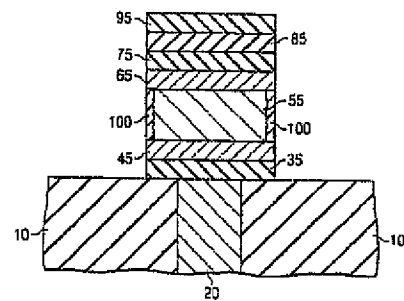
【図1A】



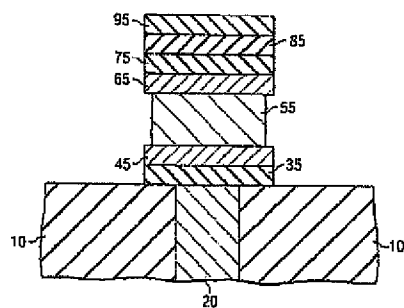
【図1B】



【図1C】



【図1D】



(72)発明者 リンゼイ エイチ、 ホール

アメリカ合衆国 テキサス、 プラノ、 ビーバー クリーク ドライブ 1505

Fターム(参考) 5F083 FR01 FR02 FR03 GA06 GA27 JA15 JA36 JA38 JA39 JA40

MA06 MA17 PR05